**6.3.1 片外数据存储器的扩展电路**

硬件电路图：

**与程序存储器扩展的相同点**：

P0口分时传送片外RAM的低8位地址和8位数据，P2口的高8为地址线用于对片外RAM进行页寻址，两者所用地址总线、数据总线完全相同。

**与程序存储器扩展的不同点：**

读/写控制线WR非和RD非分别控制片外存储器芯片的写允许端WE非，读允许端OE非，而片外程序存储器的读选通是有PSEN非控制的。---由于控制信号的不同，这两种存储器共处同一个地址空间也不会冲突。

片外RAM最大可扩展到64KB。常用数据存储器有静态RAM和动态RAM，静态RAM无需考虑刷新的问题，接口简单。如6264。 地址锁存器可用74LS373

6264：8K\*8位的静态随机存储器芯片，由单一+5V供电，额定功耗200mW,典型存取时间200ns，采用28线双列直插式封装。

各引脚含义：

1. A0~7:地址线
2. D0~7:双向三态数据线 什么叫三态数据线
3. CE1非：片选1
4. CE2:片选2，当CE2为高电平，且CE1非为低电平时才选中该片
5. WE非：写允许线
6. OE非：读允许线
7. NC：空脚

**6.3.2单片机访问片外数据村暑期的操作时序**

时序图：

图a:读片外RAM周期时序

第1个机器周期为取指周期，在取指之后，直到第2个机器周期的S6状态之前，PSEN非一直维持高电平。第2个机器周期的S1状态与S2状态之间的ALE也不再出现。

在第1个机器周期的S5状态，ALE的下降沿，P0口输出数据存储器的低8位地址（DPL或Ri）；P2口输出数据存储器的高8位地址（DPH或作为I/O口的P2的内容）

MOVX A,@DPTR或MOVX A,@Ri，从第2个机器周期S1状态开始到S3状态，RD非出现低电平，此时允许将片外数据存储器的内容送上P0口，在RD非的上升沿将数据读入CPU（累加器A）中

图b：写片外RAM周期时序

MOVX @DPTR,A或MOVX @Ri，A，从第2个机器周期S1状态开始到S3状态，WR非出现低电平。此时P0口将送出累加器A的数据，在WR非的上升沿将该数据写入片外数据存储器中。